

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06089999 A

(43) Date of publication of application: 29.03.94

(51) Int. Cl.

H01L 27/15

H01L 27/04

(21) Application number: 04264297

(22) Date of filing: 07.09.92

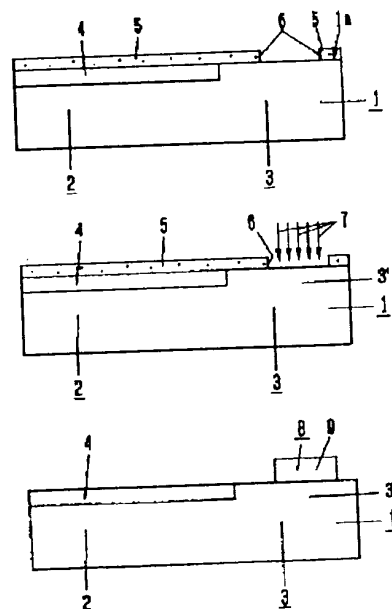
(71) Applicant: NIPPON TELEGR & TELEPH
CORP <NTT>(72) Inventor: ITO YOSHIO
MORI HIDEFUMI
SUGO MITSURU
TACHIKAWA MASAMI(54) MANUFACTURE OF COMPOSITE
SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To provide a semiconductor device including an electronic device region and an optical device region by locally performing heat treatment of the optical device so as to modify its crystalline property.

CONSTITUTION: An electron element 4 in the region 2 for forming an electron element on a semiconductor substrate 1 includes an electronic device region 2 and an optical device region 3. After an electronic element 4 is formed in the region 2, a protection film 5 is formed on the main surface 1a of the semiconductor substrate 1. Next, a window 6 is formed on the protection film 5 to expose the region 3. Next, a region 3' facing the window 6 of the protection film 5 is locally irradiated, for instance, in a hydrogen atmosphere by an argon laser 7. Thereby an optical device region 8 is formed in the region 3' having modified crystalline property and surface flatness. Then an optical element 9 is formed and the protection film 5 is removed. Thereby, a composite semiconductor device having both of the electronic element and an optical element with the prescribed characteristic.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-89999

(43)公開日 平成6年(1994)3月29日

(51)Int.Cl.⁵

H 0 1 L 27/15
27/04

識別記号

庁内整理番号

8934-4M

U 8427-4M

F I

技術表示箇所

審査請求 未請求 請求項の数4(全 8 頁)

(21)出願番号 特願平4-264297

(22)出願日 平成4年(1992)9月7日

(71)出願人 000004226

日本電信電話株式会社
東京都千代田区内幸町一丁目1番6号

(72)発明者 伊藤 義夫

東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内

(72)発明者 森 英史

東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内

(72)発明者 須郷 満

東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内

(74)代理人 弁理士 田中 正治

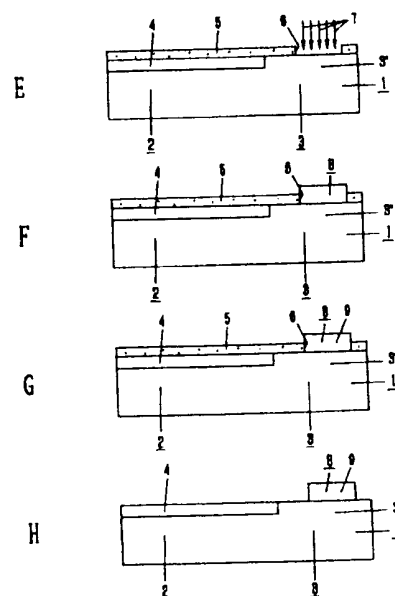
最終頁に続く

(54)【発明の名称】 複合半導体装置の製法

(57)【要約】 (修正有)

【目的】 複合半導体装置の製造において光素子用領域の結晶性を改質させるために熱処理を半導体基板全体に対して行っているため、電子素子形成用領域に既に形成されている電子素子の特性が劣化する。これを避けることができる複合半導体装置の新製造法を提供する。

【構成】 半導体基板1上の電子素子形成用領域2に電子素子4を形成し、次に基板上の前記領域以外の光素子用領域3上に光素子形成用領域8を形成し、該領域8に光素子9を形成するようにして、一つの半導体基板1上に電子素子4と光素子9が形成されている複合半導体装置を製造する。その際電子素子4を形成後、光素子用領域3上に光素子形成用領域8を形成する以前に、電子素子を形成した時に光素子用領域の結晶性が劣化していても、上記光素子用領域に対し局部的にレーザー照射熱処理して結晶性を改質し、良質な光素子形成用領域を形成させる。それにより電子素子の特性は劣化しない。



【特許請求の範囲】

【請求項1】 主面上からみて電子素子形成用領域と光素子用領域とを有する半導体基板を用意する工程と、上記半導体基板上に、上記電子素子形成用領域において、それを用いて電子素子を形成する工程と、上記半導体基板の上記光素子用領域に対する局所的な熱処理によって、上記光素子用領域の結晶性を改質させる工程と、

上記半導体基板上に、上記結晶性の改質された光素子用領域上において、光素子形成用半導体層を有する光素子形成用領域を形成する工程と、

上記半導体基板上に、上記光素子形成用領域において、それを用いて光素子を形成する工程とを有することを特徴とする複合半導体装置の製法。

【請求項2】 請求項1記載の複合半導体装置の製法において、

上記電子素子を形成する工程後、上記光素子用領域の結晶性を改質させる工程前において、上記半導体基板の上記光素子用領域に、上記主面側から凹所を形成する工程を有し、

上記光素子形成用領域を形成する工程において、上記光素子形成用領域を、上記光素子用領域の上記凹所内に形成することを特徴とする複合半導体装置の製法。

【請求項3】 主面上からみて電子素子形成用領域と光素子用領域とを有する半導体基板を用意する工程と、上記半導体基板上に、上記電子素子形成用領域において、それを用いて電子素子を形成する工程と、

上記半導体基板上に、上記光素子用領域上において、バッファ用半導体層を、上記光素子用領域が上記電子素子を形成する工程において上記電子素子形成用領域に熱が与えられるとしたときのその温度以下の温度を有している状態で形成する工程と、

上記バッファ用半導体層に対する局所的な熱処理によって、上記バッファ用半導体層の結晶性を改質させる工程と、

上記半導体基板上に、上記結晶性の改質されたバッファ用半導体層上において、光素子形成用半導体層を有する光素子形成用領域を形成する工程と、

上記半導体基板上に、上記光素子形成用領域において、それを用いて光素子を形成する工程とを有することを特徴とする複合半導体装置の製法。

【請求項4】 請求項2記載の複合半導体装置の製法において、

上記電子素子を形成する工程後、上記バッファ用半導体層を形成する工程前において、上記半導体基板の上記光素子用領域に、上記主面側から凹所を形成する工程を有し、

上記バッファ用半導体層を形成する工程において、上記バッファ用半導体層を、上記光素子用領域の上記凹所内に形成することを特徴とする複合半導体装置の製法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子素子と光素子とがそれらに共通の半導体基板上に形成されている構成を有する複合半導体装置の製法に関する。

【0002】

【従来の技術】従来、主面上からみて電子素子形成用領域と光素子用領域とを有する半導体基板を用意し、そして、まず、その半導体基板上に、電子素子形成用領域において、それを用いて電子素子を形成し、次に、半導体基板に対する熱処理によって光素子用領域の結晶性を改質させ、次に、半導体基板上に、結晶性の改質された光素子用領域上において、光素子形成用半導体層を有する光素子形成用領域を形成し、次に、半導体基板上に、光素子形成用領域において、それを用いて光素子を形成することによって、電子素子と光素子とがそれらに共通の半導体基板上に形成されている構成を有する複合半導体装置を製造する、という方法が提案されている。

【0003】このような従来の複合半導体装置の製法によれば、半導体基板上に、電子素子形成用領域において、電子素子を形成する工程において、半導体基板の光素子用領域の結晶性や表面平坦性が劣化したりしても、半導体基板に対する熱処理によって光素子用領域の結晶性を改質させる工程を有するので、半導体基板上に、光素子用領域上において、光素子形成用領域を形成する工程において、光素子用領域が良好な結晶性と表面平坦性を有し、このため、光素子形成用領域を良好な結晶性を有するものとして形成することができ、従って、半導体基板上に、光素子形成用領域において、光素子を形成する工程において、その光素子を所期の良好な特性を有するものとして形成することができる。

【0004】

【発明が解決しようとする課題】しかしながら、上述した従来の複合半導体装置の製法の場合、光素子用領域の結晶性を改質させる工程における熱処理を、半導体基板全体に対し行っているため、光素子用領域の結晶性を改質させる工程において、電子素子を形成している電子素子形成用領域に対しても熱処理が行われ、このため、光素子用領域の結晶性を改質させる工程における熱処理によって、電子素子形成用領域に形成している電子素子の特性が劣化し、よって、複合半導体装置を、電子素子及び光素子の双方が所期の特性を有しているものとして形成することができない、という欠点を有していた。

【0005】よって、本発明は上述した欠点のない、新規な複合半導体装置の製法を提案せんとするものである。

【0006】

【課題を解決するための手段】本願第1番目の発明による複合半導体装置の製法は、(i)主面上からみて電子素子形成用領域と光素子用領域とを有する半導体基板を

用意する工程と、(i i) 上記半導体基板上に、上記電子素子形成用領域において、それを用いて電子素子を形成する工程と、(i i i) 上記半導体基板の上記光素子用領域に対する局所的な熱処理によって、上記光素子用領域の結晶性を改質させる工程と、(i v) 上記半導体基板上に、上記結晶性の改質された光素子用領域において、光素子形成用半導体層を有する光素子形成用領域を形成する工程と、(v) 上記半導体基板上に、上記光素子形成用領域において、それを用いて光素子を形成する工程とを有する。

【0007】この場合、上記電子素子を形成する工程後、上記光素子用領域の結晶性を改質させる工程前において、上記半導体基板の上記光素子用領域に、上記主面側から凹所を形成する工程を有せしめ、そして、上記光素子形成用領域を形成する工程において、上記光素子形成用領域を、上記光素子用領域の上記凹所内に形成させるのを可とする。

【0008】また、本願第2番目の発明による複合半導体装置の製法は、(i) 主面上からみて電子素子形成用領域と光素子用領域とを有する半導体基板を用意する工程と、(i i) 上記半導体基板上に、上記電子素子形成用領域において、それを用いて電子素子を形成する工程と、(i i i) 上記半導体基板上に、上記光素子用領域において、バッファ用半導体層を、上記光素子用領域が上記電子素子を形成する工程において上記電子素子形成用領域に熱が与えられるとしたときのその温度以下の温度を有している状態で形成する工程と、(i v) 上記バッファ用半導体層に対する局所的な熱処理によって、上記バッファ用半導体層の結晶性を改質させる工程と、

(v) 上記半導体基板上に、上記結晶性の改質されたバッファ用半導体層上において、光素子形成用半導体層を有する光素子形成用領域を形成する工程と、(v i) 上記半導体基板上に、上記光素子形成用領域において、それを用いて光素子を形成する工程とを有する。

【0009】この場合、上記電子素子を形成する工程後、上記バッファ用半導体層を形成する工程前において、上記半導体基板の上記光素子用領域に、上記主面側から凹所を形成する工程を有せしめ、そして、上記バッファ用半導体層を形成する工程において、上記バッファ用半導体層を、上記光素子用領域の上記凹所内に形成させるのを可とする。

【0010】

【作用・効果】本願第1番目の発明による複合半導体装置の製法によれば、前述した従来の複合半導体装置の製法の場合と同様に、半導体基板上に、電子素子形成用領域において、電子素子を形成する工程において、半導体基板の光素子用領域の結晶性や表面平坦性が劣化したりしても、光素子用領域の結晶性を改質させる工程を有するので、半導体基板上に、光素子用領域上において、光素子形成用領域を形成する工程において、光素子用領域

が良好な結晶性と表面平坦性とを有し、このため、光素子形成用領域を、良好な結晶性を有するものとして形成することができ、従って、半導体基板上に、光素子形成用領域において、光素子を形成する工程において、その光素子を所期の特性を有するものとして形成することができる。

【0011】しかしながら、本願第1番目の発明による複合半導体装置の製法の場合、光素子用領域の結晶性を改質させる工程における熱処理を、上述した従来の複合半導体装置の製法の場合の半導体基板全体に対し行っているのとは異なり、半導体基板の光素子用領域に対して局所的に行っているため、光素子用領域の結晶性を改質させる工程において、電子素子を形成している電子素子形成用領域に対して熱処理が行われず、このため、光素子用領域の結晶性を改質させる工程における熱処理によって、電子素子形成用領域に形成している電子素子の特性が劣化することがなく、よって、複合半導体装置を、電子素子及び光素子の双方が所期の特性を有しているものとして、形成することができる。

【0012】また、本願第1番目の発明による複合半導体装置の製法の場合、電子素子を形成する工程後、光素子用領域の結晶性を改質させる工程前において、半導体基板の光素子用領域に、主面側から凹所を形成する工程を有せしめ、そして、光素子形成用領域を形成する工程において、光素子形成用領域を、光素子用領域の凹所内に形成させるようにすれば、光素子形成用領域と電子素子形成用領域との間に上面段差がないようにすることができ、従って、電子素子形成用領域及び光素子形成用領域上に、それら間に亘って延長している配線層を形成させるとき、その配線層を断線のおそれなしに容易に形成することができる。

【0013】また、本願第2番目の発明による複合半導体装置の製法によれば、本願第1番目の発明による複合半導体装置の製法の場合に準じて、半導体基板上に、電子素子形成用領域において、電子素子を形成する工程において、半導体基板の光素子用領域の結晶性や表面平坦性が劣化したりしても、光素子用領域上にバッファ用半導体層を形成する工程と、そのバッファ用半導体層の結晶性を改質させる工程を有するので、半導体基板上に、バッファ用半導体層上において、光素子形成用領域を形成する工程において、バッファ用半導体層が良好な結晶性と表面平坦性とを有し、このため、光素子形成用領域を、良好な結晶性を有するものとして形成することができ、従って、半導体基板上に、光素子形成用領域において、光素子を形成する工程において、その光素子を所期の特性を有するものとして形成することができる。

【0014】また、本願第2番目の発明による複合半導体装置の製法の場合、バッファ用半導体層の結晶性を改質させる工程における熱処理を、バッファ用半導体層に対して局所的に行っているため、バッファ用半導体層の

結晶性を改質させる工程において、電子素子を形成している電子素子形成用領域に対して熱処理が行われず、このため、バッファ用半導体層の結晶性を改質させる工程における熱処理によって、電子素子形成用領域に形成している電子素子の特性が劣化することがなく、よって、複合半導体装置を、電子素子及び光素子の双方が所期の特性を有しているものとして、形成することができる。

【0015】また、本願第2番目の発明による複合半導体装置の製法の場合、電子素子を形成する工程後、バッファ用半導体層を形成する工程前において、半導体基板の光素子用領域に、主面側から凹所を形成する工程を有せしめ、そして、バッファ用半導体層を形成する工程において、そのバッファ用半導体層を、光素子用領域の凹所内に形成させるようにすれば、光素子形成用領域と電子素子形成用領域との間に上面段差がないようにすることができ、従って、電子素子形成用領域及び光素子形成用領域上に、それら間に亘って延長している配線層を形成させるとき、その配線層を断線のおそれなしに容易に形成することができる。

【0016】

【実施例1】次に、図1及び図2を伴って、本発明による複合半導体装置の製法の第1の実施例を述べよう。

【0017】図1及び図2に示す本発明による複合半導体装置の製法は、次に述べる順次の工程をとって、電子素子と光素子とがそれらに共通の半導体基板上に形成されている構成を有する複合半導体装置を製造する。

【0018】すなわち、平らな主面1aを有し且つその主面1a上からみて電子素子形成用領域2と光素子用領域3とを有するとともに例えばSiでなる半導体基板1を、それ自体は公知の方法によって用意する(図1A)。

【0019】そして、その半導体基板1上に、電子素子形成用領域2において、それを用いて、それ自体公知の種々の電子素子4を、それ自体は公知の種々の方法によって、形成する(図1B)。

【0020】次に、半導体基板1の主面1a上に、その全域に亘って、例えばSiO₂でなる保護膜5を、電子素子4を形成している電子素子形成用領域2を覆って延長するように形成する(図1C)。

【0021】次に、保護膜5に、光素子用領域3を外部に臨ませる窓6を、それ自体は公知の方法によって形成する(図1D)。

【0022】次に、半導体基板1の光素子用領域3の、保護膜5の窓6に臨む領域3'を、例えば水素雰囲気中で、例えばアルゴンレーザ7によって局部的に照射させることによって、光素子用領域3の保護膜5の窓6に臨む領域3'に対する局所的な熱処理を、領域3'の表面が例えば1200℃の温度になるように行わせ、それによって、光素子用領域3の保護膜5の窓6に臨む領域3'の結晶性を改質させるとともに表面平坦性を整列さ

れた原子配列(ダイマー列)を有するものに改質させる(図2E)。

【0023】次に、半導体基板1上に、上述したようにして結晶性及び表面平坦性の改質された光素子用領域3'上において、GaAs、InP、InGaAs系、InGaAsP系などなる半導体層の1つによる単層、または複数によるそれらの積層体でなる光素子形成用半導体層(図示せず)を有する光素子形成用領域8を、それ自体は公知の例えばMOCVD法、特願昭61-28974号に示されている方法などによって形成する(図2F)。

【0024】この場合、光素子形成用領域8を、例えば、GaAsでなる半導体層と、InPでなる半導体層と、InGaAsP系でなる半導体層との積層体でなる光素子形成用半導体層を半導体レーザ用半導体層として有する半導体レーザ形成領域として、形成した。

【0025】次に、半導体基板1上に、光素子形成用領域8において、それを用いて、それ自体公知の種々の導波路なども含む光素子9を形成する(図2G)。

【0026】この場合、上述した光素子形成用領域8を形成する工程において、その光素子形成用領域8を、上述したように、半導体レーザ形成領域として形成することによって、光素子9を、例えば、半導体レーザとして形成した。

【0027】次に、保護膜5を、半導体基板1上から、それ自体は公知の方法によって除去する(図2H)。

【0028】次に、図示詳細説明は省略するが、半導体基板1上に、電子素子形成用領域2上及び光素子形成用領域8上において、それぞれ電子素子4及び光素子9に対する必要な電極層乃至配線層(図示せず)を形成するとともに、必要に応じて、電子素子4と光素子9との間に延長している配線層(図示せず)を形成し、電子素子4と光素子9とがそれらに共通の半導体基板1上に形成されている構成を有する複合半導体装置を製造する。

【0029】以上が、本発明による複合半導体装置の製法の第1の実施例である。

【0030】このような本発明による複合半導体装置の製法によれば、前述した従来の複合半導体装置の製法の場合と同様に、半導体基板1上に、電子素子形成用領域2において、電子素子4を形成する工程(図1B)において、半導体基板1の光素子用領域3の結晶性及び表面平坦性が劣化したりしても、光素子用領域3の結晶性を改質させる工程(図2E)を有するので、半導体基板1上に、光素子用領域3上において、光素子形成用領域8を形成する工程(図2F)において、光素子用領域3が良好な結晶性と表面平坦性とを有し、このため、光素子形成用領域8を、良好な結晶性を有するものとして形成することができ、従って、半導体基板1上に、光素子形成用領域8において、光素子9を形成する工程において、その光素子9を所期の特性を有するものとして形成する

10

20

30

40

50

ことができる。

【0031】しかしながら、図1及び図2に示す本発明による複合半導体装置の製法の場合、光素子用領域3の結晶性を改質させる工程(図2E)における熱処理を、上述した従来の複合半導体装置の製法の場合の半導体基板全体に対し行っているのとは異なり、半導体基板1の光素子用領域3に対して局部的に行っているため、光素子用領域3の結晶性を改質させる工程(図2E)において、電子素子4を形成している電子素子形成用領域2に対して熱処理が行われず、このため、光素子用領域3の結晶性を改質させる工程(図2E)における熱処理によって、電子素子形成用領域2に形成している電子素子4の特性が劣化することがなく、よって、複合半導体装置を、電子素子4及び光素子9の双方が所期の特性を有しているものとして、形成することができる。

【0032】

【実施例2】次に、図3及び図4を伴って、本発明による複合半導体装置の製法の第1の実施例を述べよう。

【0033】図3及び図4において、図1及び図2との対応部分には同一符号を付して示す。

【0034】図3及び図4に示す本発明による複合半導体装置の製法は、次に述べる順次の工程をとって、図1及び図2に示す本発明による複合半導体装置の製法の場合と同様に、電子素子と光素子とがそれらに共通の半導体基板上に形成されている構成を有する複合半導体装置を製造する。

【0035】すなわち、図1及び図2に示す本発明による複合半導体装置の製法の場合と同様に、平らな主面1aを有し且つその主面1a上からみて電子素子形成用領域2と光素子用領域3とを有するとともに例えばSiでなる半導体基板1を、それ自体は公知の方法によって用意する(図3A)。

【0036】そして、その半導体基板1上に、図1及び図2に示す本発明による複合半導体装置の製法の場合と同様に、電子素子形成用領域2において、それを用いて、それ自体は公知の種々の電子素子4を、それ自体は公知の種々の方法によって、形成する(図3B)。

【0037】次に、半導体基板1の主面1a上に、図1及び図2に示す本発明による複合半導体装置の製法の場合と同様に、主面1aの全域に亘って、例えばSiO₂でなる保護膜5を、電子素子4を形成している電子素子形成用領域2を覆って延長するように形成する(図3C)。

【0038】次に、保護膜5に、図1及び図2に示す本発明による複合半導体装置の製法の場合と同様に、光素子用領域3を外部に臨ませる窓6を、それ自体は公知の方法によって形成する(図3D)。

【0039】次に、半導体基板1の光素子用領域3に、保護膜5の窓6に臨む領域3'において、凹所10を、半導体基板1の主面1a側から、それ自体は公知の、例

えば反応性イオンエッチング処理によって、例えば10μmの深さに形成する(図3E)。

【0040】次に、半導体基板1の光素子用領域3上に、凹所10及び保護膜5の窓6に臨む領域3'上において、例えばSi結晶、非晶質Siなどである半導体層を、バッファ用半導体層11として、それ自体は公知の、例えばプラズマCVD法によって、凹所10の深さよりも薄い厚さに、形成する(図4F)。

【0041】この場合、バッファ用半導体層11を、光素子用領域3が、電子素子4を形成する工程(図3B)において熱が与えられるとしたときの、その温度以下の温度を有している状態で形成する。

【0042】次に、半導体基板1の光素子用領域3の、凹所10及び保護膜5'の窓6に臨む領域3'上に形成されているバッファ用半導体層11を、例えば真空雰囲気中で、例えばアルゴンレーザ7によって局部的に照射させることによって、バッファ用半導体層11に対する局部的な熱処理を、バッファ用半導体層11が例えば1250℃の温度になるように行わせ、それによって、バッファ用半導体層11の結晶性を改質させるとともに、表面平坦性を整列された原子配列(ダイマー列)を有するものに改質させる(図4G)。

【0043】次に、半導体基板1上に、上述したようにして結晶性及び表面平坦性の改質されたバッファ用半導体層11上において、図1及び図2に示す本発明による複合半導体装置の製法の場合と同様に、GaAs、InP、InGaAs系、InGaAsP系などである半導体層の1つによる単層、または複数によるそれらの積層体である光素子形成用半導体層(図示せず)を有する光素子形成用領域8を、それ自体は公知の例えばMOCVD法、特願昭61-28974号に示されている方法などによって、上面が半導体基板1の主面1aとほぼ一致する厚さに、形成する(図4H)。

【0044】この場合、光素子形成用領域8を、図1及び図2に示す本発明による複合半導体装置の製法の場合と同様に、例えば、GaAsである半導体層と、InPである半導体層と、InGaAsP系である半導体層との積層体である光素子形成用半導体層を半導体レーザ用半導体層として有する半導体レーザ形成領域として、形成した。

【0045】次に、半導体基板1上に、図1及び図2に示す本発明による複合半導体装置の製法の場合と同様に、光素子形成用領域8において、それを用いて、それ自体公知の種々の導波路なども含む光素子9を形成する(図4I)。

【0046】この場合、図1及び図2に示す本発明による複合半導体装置の製法の場合と同様に、上述した光素子形成用領域8を形成する工程において、その光素子形成用領域8を、上述したように、半導体レーザ形成領域として形成することによって、光素子9を、例えば、半

導体レーザとして形成した。

【0047】次に、保護膜5を、図1及び図2に示す本発明による複合半導体装置の製法の場合と同様に、半導体基板1上から、それ自体は公知の方法によって除去する(図4J)。

【0048】次に、図示詳細説明は省略するが、図1及び図2に示す本発明による複合半導体装置の製法の場合と同様に、半導体基板1上に、電子素子形成用領域2上及び光素子形成用領域8上において、それぞれ電子素子4及び光素子9に対する必要な電極層乃至配線層(図示せず)を形成するとともに、必要に応じて、電子素子4と光素子9との間に延長している配線層(図示せず)を形成し、電子素子4と光素子9とがそれらに共通の半導体基板1上に形成されている構成を有する複合半導体装置を製造する。

【0049】以上が、本発明による複合半導体装置の製法の第2の実施例である。

【0050】このような本発明による複合半導体装置の製法によれば、図1及び図2に示す本発明による複合半導体装置の製法の場合に準じて、半導体基板1上に、電子素子形成用領域2において、電子素子4を形成する工程(図3B)において、半導体基板1の光素子用領域3の結晶性や表面平坦性が劣化したりしても、光素子用領域3上にバッファ用半導体層11を形成する工程(図4F)と、そのバッファ用半導体層11の結晶性を改質させる工程(図4E)とを有するので、半導体基板1上に、バッファ用半導体層11上において、光素子形成用領域8を形成する工程(図4H)において、バッファ用半導体層11が良好な結晶性と表面平坦性とを有するので、光素子形成用領域8を、良好な結晶性を有するものとして形成することができ、従って、半導体基板1上に、光素子形成用領域8において、光素子9を形成する工程において、その光素子9を所期の特性を有するものとして形成することができる。

【0051】また、図3及び図4に示す本発明による複合半導体装置の製法の場合、バッファ用半導体層11の結晶性を改質させる工程(図4G)における熱処理を、バッファ用半導体層11に対して局所的に行っているため、バッファ用半導体層11の結晶性を改質させる工程(図4G)において、電子素子4を形成している電子素子形成用領域2に対して熱処理が行われず、このため、バッファ用半導体層11の結晶性を改質させる工程(図4G)における熱処理によって、電子素子形成用領域2に形成している電子素子4の特性が劣化することがなく、よって、複合半導体装置を、電子素子4及び光素子9の双方が所期の特性を有しているものとして、形成することができる。

【0052】また、図3及び図4に示す本発明による複合半導体装置の製法の場合、電子素子4を形成する工程(図3B)後、バッファ用半導体層11を形成する工程

(図4F)前において、半導体基板1の光素子用領域3に、主面1a側から凹所10を形成する工程(図3E)を有せしめ、そして、バッファ用半導体層11を形成する工程(図4F)において、バッファ用半導体層11を、光素子用領域の凹所10内に形成させるようにしているため、光素子形成用領域8と電子素子形成用領域2との間に上面段差がないようにすることができ、従って、電子素子形成用領域2及び光素子形成用領域8上に、それら間に亘って延長している配線層を形成させるとき、その配線層を、断線のおそれなしに容易に形成することができる。

【0053】なお、上述においては、本発明の2つの実施例を示したに留まり、例えば、図3及び図4に示す本発明による複合半導体装置の第2の実施例において、光素子用領域3に凹所10を形成する工程(図3E)を省略し、爾後、光素子用領域3の保護膜5の窓6に臨む領域を、図1及び図2に示す本発明による複合半導体装置の第1の実施例における領域3'として、その領域3'の結晶性を改質させる工程、光素子形成用領域8を形成する工程、光素子9を形成する工程、保護膜5を除去する工程をとって、複合半導体装置を製造するようにすることもできる。

【0054】また、バッファ用半導体層11を形成する工程(図4F)を省略し、爾後、光素子用領域3の凹所10に臨む領域を図1及び図2に示す本発明による複合半導体装置の第1の実施例における領域3'として、光素子形成用領域8を形成する工程、光素子9を形成する工程、保護膜5を除去する工程をとって、複合半導体装置を製造するようにすることもできる。

【0055】さらに、図1及び図2に示す本発明による複合半導体装置の第1の実施例での半導体基板1の光素子用領域3の結晶性を改質させる工程、及び図3及び図4に示す本発明による複合半導体装置の第2の実施例でのバッファ用半導体層11の結晶性を改質させる工程における、局所的な熱処理を、アルゴンレーザの照射によって行うのに代え、他のレーザの照射によって行うこともでき、さらにはランプまたはヒータを用いて行うこともでき、その他、本発明の精神を脱することなしに、種々の変型、変更をなし得るであろう。

【図面の簡単な説明】

【図1】本発明による複合半導体装置の製法の第1の実施例を示す、順次の工程における略線の断面図である。

【図2】本発明による複合半導体装置の製法の第1の実施例を示す、図1に示す順次の工程に続く順次の工程における略線の断面図である。

【図3】本発明による複合半導体装置の製法の第2の実施例を示す、順次の工程における略線の断面図である。

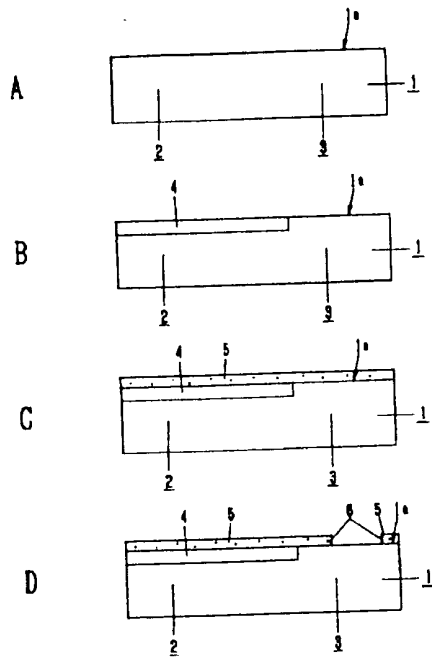
【図4】本発明による複合半導体装置の製法の第2の実施例を示す、図3に示す順次の工程に続く順次の工程における略線の断面図である。

11

【符号の説明】

- 1 半導体基板
 1 a 半導体基板 1 の主面
 2 電子素子形成用領域
 3 光素子用領域
 3' 光素子用領域 3 における領域
 4 電子素子

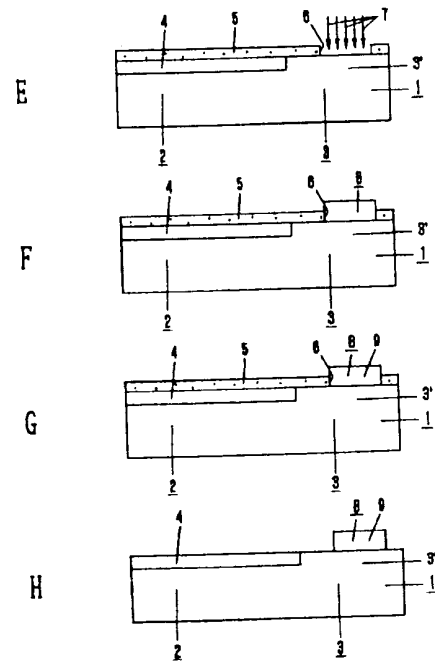
【図 1】



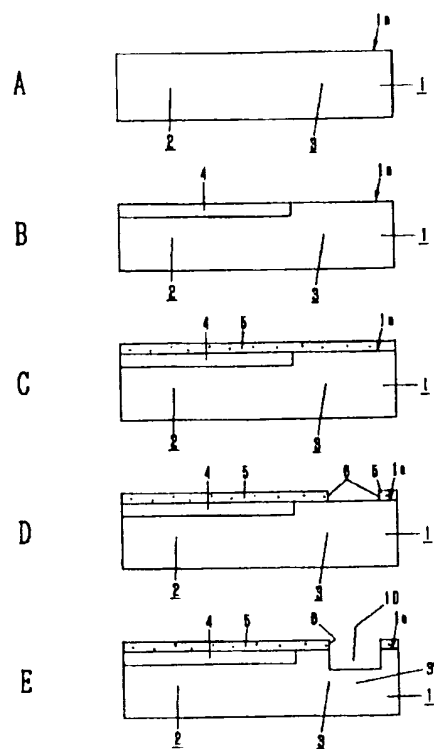
12

- 5 保護膜
 6 保護膜の窓
 7 レーザ
 8 光素子形成用領域
 9 光素子
 10 凹所
 11 バッファ用半導体層

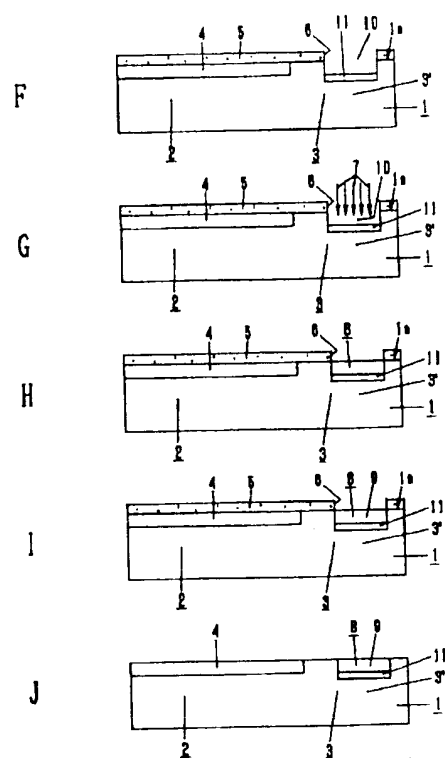
【図 2】



【図3】



【図4】



フロントページの続き

(72)発明者 太刀川正美
東京都千代田区内幸町1丁目1番6号 日
本電信電話株式会社内